

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091894

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H03K 5/08

(21)Application number : 10-259765

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.09.1998

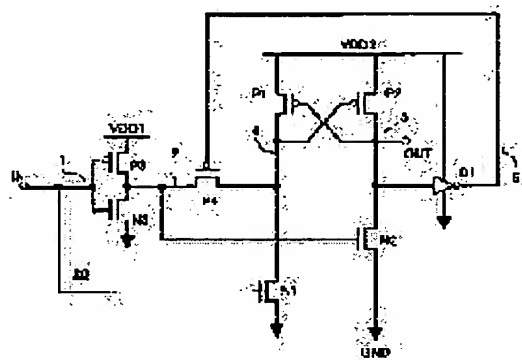
(72)Inventor : FUKUSHI ISAO

(54) LEVEL CONVERTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the delay time of the falling of an output terminal even when a power voltage is low and to prevent a breakthrough current by providing a first switch means, etc., which is controlled by a first delay signal and provided between the output terminal of an inverter and the other cross couple connection point.

SOLUTION: The switch means P4 is connected between a node 2 and a node 4 (the other cross couple connecting point) and its continuity/discontinuity is controlled by the output node 5 of a delay circuit D1, which has its input connected with a node 3 (one cross couple connecting point) and outputs a signal obtained by delaying the signal of the node 3 by a prescribed time. The power source of the circuit D1 is a second power source VDD 2 and consequently an output amplitude is also at the level of the power source VDD 2. By this constitution, a delaying time at the time of the falling the output terminal OUT is reduced and a large breakthrough current is prevented from flowing at the time of transition of falling.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[Claim(s)]

[Claim 1] It has the 1st power source, the 2nd power source of different potential from said 1st power source, and a common power source. In the level converter circuit which changes the input signal of the 1st amplitude corresponding to the potential difference between said 1st power source and common power sources into the output signal of the 2nd amplitude corresponding to the potential difference between said 2nd power source and common power sources The inverter which is connected to said the 1st power source and said common power source, and generates the reversal signal of said 1st amplitude from said input signal, One pair of 1st conductivity-type transistors by which the source was connected to said 2nd power source, and cross couple connection of the gate and the drain was made, One pair of 2nd conductivity-type transistors as which each drain is connected at the cross couple node of one side or another side, each source is connected to said common power source, and said input signal or said reversal signal is inputted into each gate, The 1st delay means which it connects with said the 2nd power source and said common power source, and the signal of the cross couple node of said one side or another side is delayed, and generates the 1st delay signal of said 2nd amplitude, The level converter circuit characterized by being controlled by said 1st delay signal and having the output terminal of said inverter, and the 1st switching means established during the cross couple node of said another side.

[Claim 2] It is the level converter circuit characterized by being controlled to flow when said 1st switching means changes to the potential corresponding to said 1st power source in claim 1 from the potential corresponding to said common power source in said reversal signal, and to be un-flowing after predetermined time.

[Claim 3] The 2nd delay means which it connects with said the 2nd power source and said common power source, and the signal of one [said another side or] cross couple node is further delayed in claim 2, and generates the 2nd delay signal of said 2nd amplitude, It is controlled by said 2nd delay signal, and has the input terminal of said inverter, and the 2nd switching means established during one [said] cross couple node. Said 2nd switching means The level converter circuit characterized by being controlled to flow when said input signal changes from the potential corresponding to said common power source to the potential corresponding to said 1st power source, and to be un-flowing after predetermined time.

[Claim 4] It is the level converter circuit which said 1st switching means is a p channel transistor, and is characterized by said 1st delay signal being a reversal signal of the signal of one [said] cross couple node in claim 2.

[Claim 5] It is the level converter circuit which said 1st switching means is a p channel transistor, and is characterized by said 1st delay signal being an noninverted signal of the signal of the cross couple node of said another side in claim 2.

[Claim 6] The level converter circuit where the drain of said p channel transistor is characterized by connecting at the cross couple node of said another side in claim 4 or 5.

[Claim 7] It is the level converter circuit which said 1st switching means is an n channel transistor, and is characterized by said 1st delay signal being an noninverted signal of the signal of one [said] cross couple node in claim 2.

[Claim 8] It is the level converter circuit which said 1st switching means is an n channel transistor, and is characterized by said 1st delay signal being a reversal signal of the signal of the cross couple node of said another side in claim 2.

[Claim 9] The level converter circuit characterized by connecting the source of said n channel transistor at the cross couple node of said another side in claim 7 or 8.

[Claim 10] It has the 1st power source, the 2nd power source of different potential from

said 1st power source, and a common power source. In the level converter circuit which changes the input signal of the 1st amplitude corresponding to the potential difference between said 1st power source and common power sources into the output signal of the 2nd amplitude corresponding to the potential difference between said 2nd power source and common power sources. The inverter which is connected to said the 1st power source and said common power source, and generates the reversal signal of said 1st amplitude from said input signal. One pair of 1st conductivity-type transistors by which the source was connected to said 2nd power source, and cross couple connection of the gate and the drain was made. One pair of 2nd conductivity-type transistors as which each drain is connected at the cross couple node of one side or another side, each source is connected to said common power source, and said input signal or said reversal signal is inputted into each gate. The input terminal of said inverter, and the switching means established during one [said] cross couple node. The level converter circuit characterized by having a delay means to generate the delay signal of said 2nd amplitude which it connects with said the 2nd power source and said common power source, and the signal of one [said another side or] cross couple node is delayed, and controls said switching means.

[Claim 11] It is the level converter circuit characterized by being controlled to flow when said switching means changes to the potential corresponding to said 1st power source in claim 10 from the potential corresponding to said common power source in said input signal, and to be un-flowing after predetermined time.

[Claim 12] It is the level converter circuit which said switching means is a p channel transistor, and is characterized by said delay signal being a reversal signal of the signal of the cross couple node of said another side in claim 11.

[Claim 13] It is the level converter circuit which said switching means is a p channel transistor, and is characterized by said delay signal being a noninverted signal of the signal of one [said] cross couple node in claim 11.

[Claim 14] The level converter circuit where the drain of said p channel transistor is characterized by connecting at one [said] cross couple node in claim 12 or 13.

[Claim 15] It is the level converter circuit which said switching means is an n channel transistor, and is characterized by said delay signal being a noninverted signal of the signal of the cross couple node of said another side in claim 11.

[Claim 16] It is the level converter circuit which said switching means is an n channel transistor, and is characterized by said delay signal being a reversal signal of the signal of one [said] cross couple node in claim 11.

[Claim 17] The level converter circuit characterized by connecting the source of said n channel transistor at one [said] cross couple node in claim 15 or 16.

[Claim 18] It is the level converter circuit which the potential of said common power source is lower than the potential of said 1st and 2nd power sources, and said 1st conductivity-type transistor is a p channel transistor in claims 2 and 3 or 11, and is characterized by said 2nd conductivity-type transistor being an n channel transistor.

[Claim 19] It is the level converter circuit which the potential of said common power source is higher than the potential of said 1st and 2nd power sources, and said 1st conductivity-type transistor is an n channel transistor in claims 2 and 3 or 11, and is characterized by said 2nd conductivity-type transistor being a p channel transistor.

[Claim 20] The inverter which is connected to the 1st power source and common power source, and generates a reversal signal from the input signal of the 1st amplitude corresponding to the potential difference between said 1st power source and common power sources. One pair of 1st conductivity-type transistors by which the source was connected to the 2nd power source of different potential from said 1st power source,

and cross couple connection of the gate and the drain was made, One pair of 2nd conductivity-type transistors as which each drain is connected at the cross couple node of one side or another side, each source is connected to said common power source, and said input signal or said reversal signal is inputted into each gate, It has the output terminal of said inverter, and the 1st switching means established during the cross couple node of said another side. In the level convert approach in the level converter circuit which changes said input signal into the output signal of the 2nd amplitude corresponding to the potential difference between said 2nd power source and common power sources The level convert approach characterized by controlling said 1st switching means to make it flow when said reversal signal changes from the potential corresponding to said common power source to the potential corresponding to said 1st power source, and to be un-flowing after predetermined time with the 1st control signal of said 2nd amplitude.

[Claim 21] In claim 20, it has further the 2nd switching means established during one [the input terminal of said inverter, and / said] cross couple node. Said 2nd switching means with the 2nd control signal of said 2nd amplitude The level convert approach characterized by controlling to make it flow when said input signal changes from the potential corresponding to said common power source to the potential corresponding to said 1st power source, and to be un-flowing after predetermined time.

[Claim 22] The inverter which is connected to the 1st power source and common power source, and generates a reversal signal from the input signal of the 1st amplitude corresponding to the potential difference between said 1st power source and common power sources, One pair of 1st conductivity-type transistors by which the source was connected to the 2nd power source of different potential from said 1st power source, and cross couple connection of the gate and the drain was made, One pair of 2nd conductivity-type transistors as which each drain is connected at the cross couple node of one side or another side, each source is connected to said common power source, and said input signal or said reversal signal is inputted into each gate, It has the input terminal of said inverter, and the switching means established during one [said] cross couple node. In the level convert approach in the level convert circuit which changes said input signal into the output signal of the 2nd amplitude corresponding to the potential difference between said 2nd power source and common power sources The level convert approach characterized by controlling said switching means to make it flow when said input signal changes from the potential corresponding to said common power source to the potential corresponding to said 1st power source, and to be un-flowing after predetermined time with the control signal of said 2nd amplitude.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] [in the semiconductor integrated circuit using two or more power sources from which an electrical potential difference differs], this invention changes into a high amplitude signal the low amplitude signal inputted from the circuit using the 1st power source of a low battery, and relates to the level converter circuit outputted to the circuit using the 2nd power source of high tension.

[0002]

[Description of the Prior Art] Drawing 1 is the circuit diagram of the conventional level converter circuit (1). That low amplitude signal will be changed into a high amplitude signal, and this level converter circuit (1) will output the changed high amplitude signal to the circuit using the 2nd power source VDD2 (for example, 5.0V) from an output terminal OUT, if a low amplitude signal is inputted into an input terminal IN from the circuit which uses the 1st power source VDD1 (for example, 3.3V).

[0003] Drawing 2 is the electrical-potential-difference wave form chart of the node 1 in the conventional level converter circuit (1) shown in drawing 1 to the node 4. The signal of the level of the 1st power source VDD1 is inputted into an input terminal IN for the amplitude, and it is impressed by the gate (node 1) of the pMOS transistor P3 which constitutes an inverter 20, and the nMOS transistor N3. An inverter 20 reverses the signal of a node 1 and the amplitude outputs the reversal signal of the level of the 1st power source VDD1 to a node 2.

[0004] The signal of a node 1 and a node 2 is added to the gate of the nMOS transistor N1 and the nMOS transistor N2, respectively. On the other hand, each gate is mutually connected to the drain of the other party, and, as for the pMOS transistor P1 and the pMOS transistor P2, each drain is connected to the drain of the nMOS transistor N1 and the nMOS transistor N2.

[0005] If a node 1 considers as H level and a node 2 considers as L level by the initial state as shown in drawing 2, the nMOS transistor N1 will be in switch-on, and the nMOS transistor N2 will be in non-switch-on. Since the nMOS transistor N1 is switch-on, the node 4 serves as L level, and since a node 4 is L level, the pMOS transistor P2 is switch-on. And since the pMOS transistor P2 is switch-on, the output terminal OUT connected to the node 3 serves as H level. In addition, the potential of H level of an output terminal OUT is the level of the 2nd power source VDD2.

[0006] If a signal is inputted into an input terminal IN and the potential of a node 1 changes from H level to L level now, by the time amount t1 to which the potential of a node 1 passes the threshold potential of an inverter 20, a node 2 will change from L level to H level, the nMOS transistor N1 will be un-flowing, and the nMOS transistor N2 will be flowed through it.

[0007] Although the potential of a node 2 starts descent from the time amount t2 to which the potential of a node 3 passes the threshold potential of the nMOS transistor N2, in this case, the nMOS transistor N2 resists the pMOS transistor P2 which has still flowed, and reduces the potential of a node 3. If the potential of a node 3 falls and the threshold potential of the pMOS transistor P1 is passed by time amount t3, the pMOS transistor P1 will flow and the potential of a node 4 will be pulled up to the 2nd power source VDD2. Since the nMOS transistor N1 is already un-flowing at this time, the potential of a node 4 starts quickly. If the potential of a node 4 goes up and the threshold potential of the pMOS transistor P2 is passed by time amount t4, the pMOS transistor P2 will be un-flowing, and a node 3 will fall in ground potential GND. In this case, the time amount from t1 to t3 is the time delays tpd of a level converter circuit (1).

[0008] Next, if a node 1 changes from L level to H level, a node 2 begins lowering from

H level by the time amount t_5 to which the potential of a node 1 passes the threshold potential of an inverter 20, and it will pass over time amount t_6 , and will change to L level, the nMOS transistor N1 will be flowed through it, and the nMOS transistor N2 will be un-flowing. The nMOS transistor N1 resists the pMOS transistor P1 which has still flowed, and reduces the potential of a node 4. If the potential of a node 4 falls and the threshold potential of the pMOS transistor P2 is passed by time amount t_7 , the pMOS transistor P2 will flow and the potential of a node 3 will be pulled up to the level of the 2nd power source VDD2. Since the nMOS transistor N2 is already un-flowing at this time, the potential of a node 3 starts quickly. If the potential of a node 3 goes up and the threshold potential of the pMOS transistor P1 is passed by time amount t_8 , the pMOS transistor P1 will be un-flowing, and a node 4 will fall in ground potential GND. As for the input signal (node 1) of the 1st power source VDD1, the amplitude is changed into the output signal (node 3) of the 2nd power source VDD2 for the amplitude as above.

[0009] Since the load carrying capacity connected to an output terminal OUT is driven in case it starts, big driving force is required for the pMOS transistor P2 of a level converter circuit (1), and it needs to design gate width greatly. Moreover, in order for the nMOS transistor N2 to also perform reduction in an output terminal OUT, it is necessary to enlarge gate width like the pMOS transistor P2, and to give big driving force. However, since the reduction in an output terminal OUT resists the pMOS transistor P2 of switch-on and is performed with the nMOS transistor N2, a time delay t_{pd} becomes large and the problem that a big penetration current flows is in transistors P2 and N2. On the other hand, since a node 4 side does not drive load carrying capacity, the gate width of the pMOS transistor P1 may be small, and is reduced comparatively quickly.

[0010] Thus, the thing with a late reduction in the potential of an output terminal OUT (node 3) is for reducing the potential of a node 3, while the pMOS transistor P2 has been switch-on in a level converter circuit (1). Since the pMOS transistor P1 which pulls up the potential of a node 4 is actuation which flows at last as a result of reducing the potential of a node 3, it cannot make actuation of the pMOS transistor P1 precede, although what is necessary is just to pull up the potential of a node 4 quickly in order to make the pMOS transistor P2 un-flowing quickly.

[0011] Drawing 3 is the circuit diagram of the conventional level converter circuit (2) which improved the trouble of a level converter circuit (1). Moreover, drawing 4 is the electrical-potential-difference wave form chart of the nodes 1-4 of a level converter circuit (2), and a node 10. The inverter D10 with which the nMOS transistor N4 is connected between the node 2 of a level converter circuit (1) and a node 4, and a level converter circuit (2) drives the nMOS transistor N4 is added.

[0012] It connects with the 1st power source VDD1, and an inverter D10 reverses the signal of a node 2, and outputs it to the gate of the nMOS transistor N4. The pMOS transistors P1, P2, and P3 and the nMOS transistors N1, N2, and N3 are the same as that of the case of a level converter circuit (1).

[0013] If the potential of a node 2 starts, it can pull up to the level (VDD1-V_{THN}) on which it did not wait for change of the potential of a node 3, but the potential of a node 4 fell by the threshold voltage V_{THN} of the nMOS transistor N4 from the 1st power source VDD1 with the nMOS transistor N4, and the actuation from which the pMOS transistor P2 is un-flowing will be sped up in a level converter circuit (2), as stated below.

[0014] As shown in drawing 4, when a node 1 considers as H level and a node 2 considers as L level by the initial state, the nMOS transistor N1 is switch-on, and the

nMOS transistor N2 is non-switch-on. Since a node 2 is L level, a node 10 is H level and the nMOS transistor N4 is switch-on. For this reason, a node 4 is [the potential of L level and a node 3] the level of the 2nd power source VDD2 on H level.

[0015] If a signal is inputted into an input terminal IN and the potential of a node 1 changes from H level to L level now, by the time amount t_{11} to which the potential of a node 1 passes the threshold potential of an inverter 20, the potential of a node 2 will change from L level to H level, the nMOS transistor N1 will be un-flowing, and the nMOS transistor N2 will be flowed through it. The nMOS transistor N2 resists the pMOS transistor P2 which has still flowed, and begins to reduce the potential of a node 3. At this event, since a node 10 is still H level and the nMOS transistor N4 has flowed through it by delay of an inverter D10, it can also pull up a node 4 to (VDD1-V_{THN}) by the standup of a node 2.

[0016] Although, as for the potential of a node 3, the potential of a node 2 begins descent by the time amount t_{12} which passes the threshold potential of the nMOS transistor N2, if the potential of a node 4 passes the threshold potential of the pMOS transistor P2 by time amount t_{13} , the pMOS transistor P2 will be un-flowing, and a node 3 will fall in ground potential GND promptly. If a node 3 is set to L level and passes the threshold potential of the pMOS transistor P1 by time amount t_{14} , the pMOS transistor P1 will flow and a node 4 will be pulled up to the 2nd power source VDD2. By this time, since the node 10 has changed to L level, the nMOS transistor N4 is un-flowing. In this case, the time amount from t_{11} to t_{14} is the time delays t_{pd} of a level converter circuit (2).

[0017] Thus, in a level converter circuit (2), since it does not wait for change of a node 3 but a node 4 can pull up promptly with the nMOS transistor N4, the actuation in which the pMOS transistor P2 is un-flowing speeds up, a time delay t_{pd} is shortened, and penetration currents are also reduced. in drawing 4, the broken line shows the level converter circuit (1) wave for the comparison (the following -- the same).

[0018] Next, if a node 1 changes from L level to H level, by the time amount t_{15} to which the potential of a node 1 passes the threshold potential of an inverter 20, a node 2 will change from H level to L level, the nMOS transistor N1 will be flowed through it, and the nMOS transistor N2 will be un-flowing. The nMOS transistor N1 resists the pMOS transistor P1 which has still flowed, and reduces a node 4. If the potential of a node 4 falls and the threshold potential of the pMOS transistor P2 is passed by time amount t_{17} , the pMOS transistor P2 will flow and a node 3 will be pulled up to the 2nd power source VDD2. Since the nMOS transistor N2 is already un-flowing at this time, the potential of a node 3 starts quickly. Moreover, since a node 2 is already L level when it is late for change of a node 2, it changes to H level by time amount t_{16} and the nMOS transistor N4 flows, a node 10 contributes to the reduction in a node 4, and speeds up transition somewhat. If the potential of a node 3 goes up, the pMOS transistor P1 will be un-flowing, and a node 4 will fall in ground potential GND.

[0019]

[Problem(s) to be Solved by the Invention] In a level converter circuit (1), there is a trouble that the time delay t_{pd} of falling of an output terminal OUT is large, and a big penetration current flows to the transient of falling, as above-mentioned.

[0020] On the other hand, like a low-power-oriented integrated circuit in recent years, although 3.3V and the 2nd power source VDD2 have the 1st effective power source VDD1 in the conventional applicable field which is 5.0V, a level converter circuit (2) has the problem that there is little effectiveness, when supply voltage is the 1V neighborhood. Since the nMOS transistor N4 is connected to the node 4 as a source follower circuit, the nMOS transistor N4 of this is for pulling up only to low level

(VDD1-VTHN) by the threshold VTHN from the 1st power source VDD1 of a low side about the potential of a node 4.

[0021] For example, the 1st power source VDD1 considers the case where the threshold voltage VTHN of a nMOS transistor is [the threshold voltage VTHP of 0.5V and a pMOS transistor] -0.5V in 1.5V for 1V and the 2nd power source VDD2, with an integrated circuit with low supply voltage. this time -- the nMOS transistor N4 -- a node 4 -- at most (VDD1-VTHN) -- it can pull up only to =0.5V and cannot amount to =1V from which the pMOS transistor P2 is un-flowing (VDD2-VTHP). Therefore, the time delay tpd of a level converter circuit (2) remains in extent somewhat shortened from the case of the level converter circuit (1) which waits for a node 4 to be able to pull up with the pMOS transistor P1.

[0022] Thus, a level converter circuit (2) has the problem that the time delay tpd of falling of an output terminal OUT (node 3) has large (VDD1-VTHN) when far lower than the 2nd power source VDD2, and a big penetration current flows to the transient of falling.

[0023] Then, also in an integrated circuit with low supply voltage, this invention shortens the time delay tpd of falling of an output terminal OUT, and aims at offering the level converter circuit which prevents that a big penetration current flows to the transient of falling.

[0024]

[Means for Solving the Problem] The 2nd power source of the potential in which the above-mentioned object differs from the 1st power source and said 1st power source, In the level converter circuit which has a common power source and changes the input signal of the 1st amplitude corresponding to the potential difference between said 1st power source and common power sources into the output signal of the 2nd amplitude corresponding to the potential difference between said 2nd power source and common power sources The inverter which is connected to said the 1st power source and said common power source, and generates the reversal signal of said 1st amplitude from said input signal, One pair of 1st conductivity-type transistors by which the source was connected to said 2nd power source, and cross couple connection of the gate and the drain was made, One pair of 2nd conductivity-type transistors as which each drain is connected at the cross couple node of one side or another side, each source is connected to said common power source, and said input signal or said reversal signal is inputted into each gate, The 1st delay means which it connects with said the 2nd power source and said common power source, and the signal of the cross couple node of said one side or another side is delayed, and generates the 1st delay signal of said 2nd amplitude, It is controlled by said 1st delay signal, and has the output terminal of said inverter, and the 1st switching means established during the cross couple node of said another side. Said 1st switching means It flows, when said reversal signal changes from the potential corresponding to said common power source to the potential corresponding to said 1st power source, and it is attained by offering the level converter circuit characterized by being controlled to be un-flowing after predetermined time.

[0025] Since according to this invention it does not wait for change of the potential of one cross couple node but the potential of the cross couple node of another side can pull up promptly by the 1st switching means, the actuation in which the 1st conductivity-type transistor connected at one cross couple node is un-flowing speeds up, the time delay of falling of an output signal is shortened, and it can prevent that a big penetration current flows to the transient of falling. Moreover, since the 1st switching means of after transition termination is un-flowing, a current does not flow from the

2nd power source to the 1st power source through the 1st switching means.

[0026] Furthermore, in the level converter circuit of this invention, since it is controlled so that the 1st switching means fully flows with the 1st delay signal, the gate of the 1st conductivity-type transistor connected at one cross couple node can be pulled up to the potential of the 1st power source. Therefore, even if the 1st and 2nd power source low-battery-izes, the actuation in which the 1st conductivity-type transistor connected at one cross couple node is un-flowing speeds up, and the time delay at the time of falling of an output signal can be shortened.

[0027] Moreover, the 2nd delay means which it connects with said the 2nd power source and said common power source, and the above-mentioned object delays the signal of one [said another side or] cross couple node in the further above-mentioned explanation, and generates the 2nd delay signal of said 2nd amplitude. It is controlled by said 2nd delay signal, and has the input terminal of said inverter, and the 2nd switching means established during one [said] cross couple node. Said 2nd switching means It flows, when said input signal changes from the potential corresponding to said common power source to the potential corresponding to said 1st power source, and it is attained by offering the level converter circuit characterized by being controlled to be un-flowing after predetermined time.

[0028] According to this invention, in addition to a means to speed up starting of the potential of the cross couple node of another side, starting of the potential of one cross couple node can be sped up by the 2nd delay means and 2nd switching means. For this reason, falling of an output signal and the time delay at the time of a standup are shortened, and it can prevent that a big penetration current flows to the transient of falling and a standup.

[0029]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained according to a drawing. However, the gestalt of this operation does not limit the technical range of this invention.

[0030] First, the principle of the level converter circuit of this invention is explained. Drawing 5 is principle drawing of the level converter circuit of this invention, and drawing 6 is the voltage waveform. As shown in drawing 5 R> 5, connection of the pMOS transistors P1, P2, and P3 and the nMOS transistors N1, N2, and N3 is the same as that of the case of drawing 1 R> 1 and drawing 3. As for the level converter circuit of this invention, a switching means S1 is connected between a node 2 and a node 4 (cross couple node of another side), and its flow / un-flowing are controlled by the output node 5 of a delay circuit D1.

[0031] The input is connected to the node 3 (one cross couple node), and a delay circuit D1 outputs the signal to which predetermined carried out time delay of the signal of a node 3 to a node 5. The power source of a delay circuit D1 is the 2nd power source VDD2, therefore an output swing is also the level of the 2nd power source VDD2. The level converter circuit of this invention can shorten the time delay at the time of falling of an output terminal OUT, and can prevent that a big penetration current flows to the transient of falling so that it may explain below.

[0032] Next, actuation of the level converter circuit of this invention is explained. If a node 1 considers as H level and a node 2 considers as L level by the initial state as shown in drawing 6, switch-on and the nMOS transistor N2 will be [the nMOS transistor N1] in non-switch-on. Therefore, a node 4 is [the potential of L level and a node 3] the level of the 2nd power source VDD2 on H level. Moreover, a node 5 is taken as the condition of making it flowing through a switch S1.

[0033] If a signal is inputted into an input terminal IN and the potential of a node 1

changes from H level to L level now, by the time amount t21 to which the potential of a node 1 passes the threshold potential of an inverter 20, a node 2 will change from L level to H level, the nMOS transistor N1 will be un-flowing, and the nMOS transistor N2 will be flowed through it.

[0034] From the time amount t22 to which the potential of a node 2 passes the threshold potential of the nMOS transistor N2, the nMOS transistor N2 resists the pMOS transistor P2 which has still flowed, and begins to reduce the potential of a node 3. At this event, since the switch S1 has flowed, the potential of a node 4 can also be pulled up by the standup of the potential of a node 2. If the potential of a node 4 goes up and the threshold potential of the pMOS transistor P2 is exceeded by time amount t23, the pMOS transistor P2 will be un-flowing, and a node 3 will fall in ground potential GND promptly. If the potential of a node 3 falls from the threshold potential of the pMOS transistor P1 in time amount t24, the pMOS transistor P1 will flow and the potential of a node 4 will be pulled up to the level of the 2nd power source VDD2. A switch S1 changes to un-flowing by the time amount t25 to which the potential of delay and a node 5 passes the threshold potential of a switch S1 from falling of a node 3 by the delay circuit D1. In this case, the time amount from t21 to t24 is the time delays tpd of the level converter circuit of this invention.

[0035] Thus, since the level converter circuit of this invention does not wait for change of the potential of a node 3 but the potential of a node 4 can pull up it promptly with a switch S1, the actuation from which the pMOS transistor P2 changes to un-flowing speeds up, a time delay tpd is shortened, and penetration currents are also reduced. Moreover, since the switch S1 after transition termination is un-flowing, a current does not flow from the 2nd power source VDD2 to the 1st power source VDD1 through a switch S1.

[0036] Drawing 7 is the circuit diagram of the level converter circuit (1) of the gestalt of operation of this invention, and drawing 8 is the voltage waveform. As shown in drawing 7, a configuration and an operation of the pMOS transistors P1, P2, and P3 and the nMOS transistors N1, N2, and N3 are the same as that of the conventional case. However, the pMOS transistor P4 equivalent to the switch S1 shown in drawing 5 is connected between a node 2 and a node 4, and the gate is connected to the output node 5 of the inverter D1 equivalent to the delay circuit D1 of drawing 5 R> 5. An inverter D1 reverses an after [a predetermined time delay] phase, and outputs the signal of a node 3 to a node 5. Since the inverter D1 is using the 2nd power source VDD2 as the power source, the amplitude is the level of the 2nd power source VDD2.

[0037] As shown in drawing 8, when a node 1 considers as H level and a node 2 considers as L level by the initial state, the nMOS transistor N1 is switch-on, and the nMOS transistor N2 is non-switch-on. Therefore, a node 4 is [the potential of L level and a node 3] the level of the 2nd power source VDD2 on H level. Moreover, the pMOS transistor P4 of a node 5 is switch-on on L level.

[0038] If a signal is inputted into an input terminal IN and the potential of a node 1 changes from H level to L level now, by the time amount t31 to which the potential of a node 1 passes the threshold potential of an inverter 20, the potential of a node 2 will change from L level to H level, the nMOS transistor N1 will be un-flowing, and the nMOS transistor N2 will be flowed through it.

[0039] From the time amount t32 to which the potential of a node 2 passes the threshold potential of the nMOS transistor N2, the nMOS transistor N2 resists the pMOS transistor P2 which has still flowed, and begins to reduce the potential of a node 3. At this event, since the pMOS transistor P4 has still flowed through the potential of a node 5 on L level by delay of an inverter D1, it can also pull up the potential of a node

4 to the level of the 1st power source VDD1 by the standup of the potential of a node 2. [0040] In this case, since the drain is connected to the node 4 unlike the conventional level converter circuit (2) of drawing 3, the pMOS transistor P4 can pull up the potential of a node 4 to the level of the 1st power source VDD1 which is H level of a node 2. If the potential of a node 4 goes up and the threshold potential of the pMOS transistor P2 is exceeded by time amount t33, the pMOS transistor P2 will be un-flowing, and the potential of a node 3 will fall in ground potential GND promptly. If the potential of a node 3 falls from the threshold potential of the pMOS transistor P1 in time amount t34, the pMOS transistor P1 will flow and the potential of a node 4 will be pulled up to the level of the 2nd power source VDD2. If it is late for falling of the potential of a node 3, the potential of a node 5 starts and the threshold potential of the pMOS transistor P4 is exceeded by time amount t35 by delay of an inverter D1, the pMOS transistor P4 will be un-flowing. In this case, the time amount from t31 to t34 is the time delays tpd of the level converter circuit (1) of the gestalt of this operation.

[0041] Thus, in the level converter circuit (1) of the gestalt of operation of this invention, since it does not wait for change of the potential of a node 3 but the potential of a node 4 can pull up promptly with the pMOS transistor P4, the actuation which is un-flowing [of the pMOS transistor P2] speeds up, a time delay tpd is shortened, and penetration currents are also reduced. Moreover, since the pMOS transistor P4 after transition termination is un-flowing, a current does not flow from the 2nd power source VDD2 to the 1st power source VDD1 through the pMOS transistor P4.

[0042] As for the level converter circuit (1) of the gestalt of this operation, effectiveness is not spoiled also when supply voltage is the 1V neighborhood like a low-power-oriented integrated circuit in recent years. For example, the 1st power source VDD1 considers the case where the threshold voltage VTHN of a nMOS transistor is [the threshold voltage VTHP of 0.5V and a pMOS transistor] -0.5V in 1.5V for 1V and the 2nd power source VDD2, like the case of drawing 3, since the nMOS transistor N4 is connected to a node 4 as a source follower circuit in the conventional level converter circuit (2) of drawing 3 -- the nMOS transistor N4 -- the potential of a node 4 -- at most (VDD1-VTHN) -- it can pull up only to =0.5V. On the other hand, in the level converter circuit (1) of the gestalt of operation of this invention of drawing 7, since the drain is connected to the node 4, the pMOS transistor P4 can pull up a node 4 to the 1st power-source VDD1=1V, and can be given to =1V which are the potential from which the pMOS transistor P2 is un-flowing (VDD2-VTHP). Therefore, even if power sources VDD1 and VDD2 low-battery-ize, the actuation which stands as for an output terminal OUT1, and speeds up lowering is attained.

[0043] Next, since the pMOS transistor P4 does not flow until a node 3 changes to H level by time amount t38 and a node 5 changes to L level by time amount t39 when a node 1 changes from L level to H level, the pMOS transistor P4 hardly contributes to transition, but that of actuation is the same as that of the case of the former of drawing 1. Since the delay at the time of falling (standup of the potential of a node 3) of the potential of a node 4 is small, it is satisfactory from the first, as explanation of drawing 1 described.

[0044] Drawing 9 is the circuit diagram of the level converter circuit (2) of the gestalt of operation of this invention. A level converter circuit (2) acquires the delay signal of a node 5 from a node 4 through two steps of inverters D2 and D1. Since a node 3 and a node 4 are complementary signals, the signal of the node 5 of drawing 7 and the same signal are acquired by the node 5 of drawing 9.

[0045] Drawing 10 is the circuit diagram of the level converter circuit (3) of the gestalt of operation of this invention. In the level converter circuit (1) of drawing 7, the standup of a node 3 can be sped up by forming the pMOS transistor P4 prepared between the node 2 and the node 4 between a node 1 and a node 3. That is, the circuit which shortens the time delay at the time of the standup of an input signal can consist of connecting a node 1 to the source of the pMOS transistor P4 of a switching means, connecting the drain of the pMOS transistor P4 to a node 3 further, and connecting to a node 4 the input terminal of the inverter D1 which is a delay circuit. In that case, since the pMOS transistor P4 maintains switch-on at the time of standup transition of an input signal, it can speed up starting of the potential of a node 3.

[0046] In addition, the input terminal of an inverter D1 may not be connected to a node 4, but as shown in a dotted line, you may connect with a node 3 through an inverter D19. Moreover, changing the pMOS transistor P4 into a nMOS transistor changes the polarity of a delay signal like drawing 12 mentioned later, and it is possible.

[0047] Drawing 11 is the circuit diagram of the level converter circuit (4) of the gestalt of operation of this invention. A level converter circuit (4) is the example which carried both a means (the pMOS transistor P4 (the 1st switching means), inverter D1) to speed up starting of the potential of a node 4 like the level converter circuit (1) of drawing 7, and a means (the pMOS transistor P5 (the 2nd switching means), inverter D3) to speed up further starting of the potential by the side of the node 3 described above.

[0048] In a level converter circuit (4), the pMOS transistors P1, P2, P3, and P4, the nMOS transistors N1, N2, and N3, and an inverter D1 are the same as that of the case of drawing 7. In a level converter circuit (4), the pMOS transistor P5 is connected between a node 1 and a node 3, and an inverter D3 is connected between a node 4 and a node 7. Moreover, a reversal signal output terminal (/OUT) is connected to a node 4. In a level converter circuit (4), as mentioned above, starting of the potential of a node 4 can be sped up with an inverter D1 and the pMOS transistor P4, and starting of the potential by the side of a node 3 can be sped up with an inverter D3 and the pMOS transistor P5.

[0049] In addition, as shown in a dotted line, even if do not connect the input terminal of an inverter D1 to a node 3, but it connects with a node 4 through an inverter D21, and it does not connect the input terminal of an inverter D3 to a node 4 but it connects with a node 3 through an inverter D20, the same effectiveness is acquired as drawing 9 explained.

[0050] Drawing 12 is the circuit diagram of the level converter circuit (5) of the gestalt of operation of this invention, and drawing 13 is the electrical-potential-difference wave form chart. A level converter circuit (5) changes the pMOS transistor P4 in drawing 7 to the nMOS transistor N4, and makes the signal of the node 7 included in the gate the delay signal which passed through two steps of inverters D4 and D5 from the node 3. It is the same as that of the pMOS transistor P4 in the case of drawing 7 a flow / un-flowing. [of the nMOS transistor N4] In addition, an inverter D4 is deleted, and the same effectiveness is acquired even if it connects the input terminal of an inverter D5 to a node 4, as shown in a dotted line.

[0051] As shown in drawing 13, in case the nMOS transistor N4 pulls up the potential of a node 4, it differs from the case of the conventional level converter circuit (2) of drawing 4. The nMOS transistor N4 The potential of the lower one can pull up the potential of a node 4 from the 2nd power source VDD2 which is H level of a node 7 among the 1st power source VDD1 of the level (VDD2-VTHN) which fell by the threshold voltage VTHN of the nMOS transistor N4, or H level of a node 2. The gate of the nMOS transistor N4 of drawing 12 is connected to the output of the inverter 5

driven with the 2nd power source VDD2, and this is because the potential of the 2nd power source VDD2 is impressed.

[0052] (VDD2-VTHN) is [this level converter circuit (5)] effective when larger than the 1st power source VDD1, and an abbreviation EQC and the 1st power source VDD1. For example, the 1st power source VDD1 considers the case where the threshold voltage VTHN of a nMOS transistor is [the threshold voltage VTHP of 0.5V and a pMOS transistor] -0.5V in 1.5V for 1V and the 2nd power source VDD2, like the case of drawing 3. Since the potential of the drain at the time of the flow of the nMOS transistor N4 (node 2) is set to the 1st power-source VDD1=1V at this time and the potential of the gate is set to the 2nd power-source VDD2=1.5V, it is set to $=(\text{VDD2}-\text{VTHN})$ VDD1=1V. Therefore, as for a node 3, it can stand, the nMOS transistor N4 being able to pull up a node 4 up to the 1V neighborhood, and fully making the pMOS transistor P2 un-flowing, and can accelerate lowering.

[0053] Although GND was common and the example in case there are the 1st power source VDD1 of a low battery and the 2nd power source VDD2 of high tension was shown in drawing 13 from drawing 5 of the above explanation Also when the power source VDD of criteria is common and there are the 1st power source VSS1 of high tension and the 2nd power source VSS2 of a low battery as a power source of the one lower than it ($\text{VDD} > \text{VSS1} > \text{VSS2}$) The same circuit can be constituted if the classification of pMOS transistors other than an inverter and a nMOS transistor is reversed.

[0054] Drawing 14 is the circuit diagram of the level converter circuit (6) of the gestalt of operation of this invention which replaced the circuit of drawing 7 by the above-mentioned meaning. The inverter 20 by which a level converter circuit (6) is connected to the 1st power source VSS1 and common power source VDD, The nMOS transistors N5 and N6 by which the source was connected to the 2nd power source VSS2, and cross couple connection of the gate and the drain was made. It has the pMOS transistors P6 and P7 by which the source was connected to the common power source VDD, and has further the inverter D1 connected to the 2nd power source VSS2 and common power source VDD, and the nMOS transistor N7 controlled by the inverter D1. In addition, it may not connect with a node 3, but the input terminal of an inverter D1 may be connected to a node 4 through an inverter 22, as shown in a dotted line.

[0055] Since the nMOS transistor N7 of a level converter circuit (6) flows at the time of falling transition of the node 2 of the output signal of an inverter 20, it can shorten the time amount from which a node 4 is brought down and the nMOS transistor N6 is un-flowing, and can carry out the standup of an output terminal OUT to improvement in the speed.

[0056] It is applicable to the architecture of two different power sources VSS1 and VSS2 from the common power source VDD to which the level converter circuit shown in drawing 12 serves as criteria from drawing 9 similarly. Furthermore, the nMOS transistor N7 which is the switching means of drawing 14 can also be constituted from a pMOS transistor, if the polarity of a delay signal is changed.

[0057]

[Effect of the Invention] According to this invention, also in an integrated circuit with low supply voltage, the time delay t_{pd} of falling of an output terminal OUT can be shortened, and the level converter circuit which prevents that a big penetration current flows to the transient of falling can be offered as explained above.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-91894
(P2000-91894A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl.⁷

H 0 3 K 5/08

識別記号

F I

H 0 3 K 5/08

テーマコード(参考)

E

審査請求 未請求 請求項の数22 O L (全 12 頁)

(21)出願番号 特願平10-259765

(22)出願日 平成10年9月14日(1998.9.14)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 富士 功

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100094525

弁理士 土井 健二 (外1名)

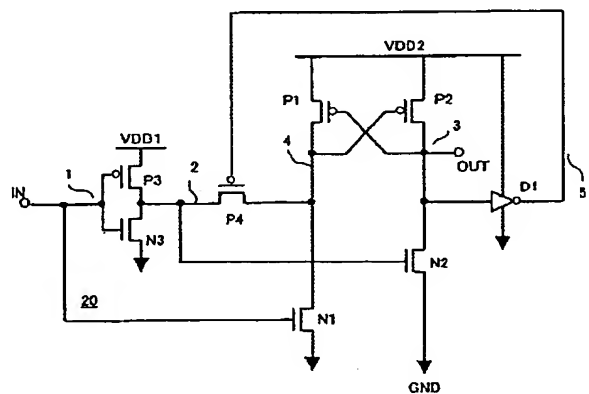
(54)【発明の名称】 レベルコンバータ回路

(57)【要約】

【課題】電源電圧が低い集積回路においても出力端子の立ち下がりの遅延時間を短縮し、立ち下がりの過渡時に大きな貫通電流が流れるのを防止する。

【解決手段】第1の電源と第3の電源とに駆動され入力信号を反転するインバータと、ソースが第2の電源に接続されゲートとドレインがクロスカップル接続された2つのpMOSトランジスタと、ドレインがクロスカップル接続点に、ソースが第3の電源に接続されゲートに入力信号と反転信号が入力される2つのnMOSトランジスタと、第2の電源と第3の電源とに駆動されいずれか一方のクロスカップル接続点の信号を遅延する遅延手段と、遅延手段の遅延信号により制御されるスイッチ手段とを有し、スイッチ手段は、入力信号または反転信号の立ち上がり遷移時に、入力端子またはインバータの出力端子といずれか一方のクロスカップル接続点を接続するように制御される。

本発明の実施の形態のレベルコンバータ回路(1)の回路図



【特許請求の範囲】

【請求項1】第1の電源と、前記第1の電源と異なる電位の第2の電源と、共通電源とを有し、前記第1の電源と共通電源間の電位差に対応する第1の振幅の入力信号を、前記第2の電源と共通電源間の電位差に対応する第2の振幅の出力信号に変換するレベルコンバータ回路において、

前記第1の電源と前記共通電源とに接続され、前記入力信号から前記第1の振幅の反転信号を生成するインバータと、

ソースが前記第2の電源に接続され、ゲートとドレインがクロスカップル接続された1対の第1導電型トランジスタと、

それぞれのドレインが一方又は他方のクロスカップル接続点に接続され、それぞれのソースが前記共通電源に接続され、それぞれのゲートに前記入力信号または前記反転信号が入力される1対の第2導電型トランジスタと、前記第2の電源と前記共通電源とに接続され、前記一方又は他方のクロスカップル接続点の信号を遅延させ、前記第2の振幅の第1の遅延信号を生成する第1の遅延手段と、

前記第1の遅延信号により制御され、前記インバータの出力端子と前記他方のクロスカップル接続点間に設けられた第1のスイッチ手段とを有することを特徴とするレベルコンバータ回路。

【請求項2】請求項1において、

前記第1のスイッチ手段は、前記反転信号が前記共通電源に対応する電位から前記第1の電源に対応する電位に遷移する時に導通し、所定時間後に非導通となるように制御されることを特徴とするレベルコンバータ回路。

【請求項3】請求項2において、

更に、前記第2の電源と前記共通電源とに接続され、前記他方又は一方のクロスカップル接続点の信号を遅延させ、前記第2の振幅の第2の遅延信号を生成する第2の遅延手段と、

前記第2の遅延信号により制御され、前記インバータの入力端子と前記一方のクロスカップル接続点間に設けられた第2のスイッチ手段とを有し、

前記第2のスイッチ手段は、前記入力信号が前記共通電源に対応する電位から前記第1の電源に対応する電位に遷移する時に導通し、所定時間後に非導通となるように制御されることを特徴とするレベルコンバータ回路。

【請求項4】請求項2において、

前記第1のスイッチ手段はpチャネルトランジスタであり、前記第1の遅延信号は前記一方のクロスカップル接続点の信号の反転信号であることを特徴とするレベルコンバータ回路。

【請求項5】請求項2において、

前記第1のスイッチ手段はpチャネルトランジスタであり、前記第1の遅延信号は前記他方のクロスカップル接

続点の信号の非反転信号であることを特徴とするレベルコンバータ回路。

【請求項6】請求項4又は5において、

前記pチャネルトランジスタのドレインが、前記他方のクロスカップル接続点に接続されていることを特徴とするレベルコンバータ回路。

【請求項7】請求項2において、

前記第1のスイッチ手段はnチャネルトランジスタであり、前記第1の遅延信号は前記一方のクロスカップル接続点の信号の非反転信号であることを特徴とするレベルコンバータ回路。

【請求項8】請求項2において、

前記第1のスイッチ手段はnチャネルトランジスタであり、前記第1の遅延信号は前記他方のクロスカップル接続点の信号の反転信号であることを特徴とするレベルコンバータ回路。

【請求項9】請求項7又は8において、

前記nチャネルトランジスタのソースが、前記他方のクロスカップル接続点に接続されていることを特徴とするレベルコンバータ回路。

【請求項10】第1の電源と、前記第1の電源と異なる電位の第2の電源と、共通電源とを有し、前記第1の電源と共通電源間の電位差に対応する第1の振幅の入力信号を、前記第2の電源と共通電源間の電位差に対応する第2の振幅の出力信号に変換するレベルコンバータ回路において、

前記第1の電源と前記共通電源とに接続され、前記入力信号から前記第1の振幅の反転信号を生成するインバータと、

ソースが前記第2の電源に接続され、ゲートとドレインがクロスカップル接続された1対の第1導電型トランジスタと、

それぞれのドレインが一方又は他方のクロスカップル接続点に接続され、それぞれのソースが前記共通電源に接続され、それぞれのゲートに前記入力信号または前記反転信号が入力される1対の第2導電型トランジスタと、前記インバータの入力端子と前記一方のクロスカップル接続点間に設けられたスイッチ手段と、

前記第2の電源と前記共通電源とに接続され、前記他方又は一方のクロスカップル接続点の信号を遅延させ、前記スイッチ手段を制御する前記第2の振幅の遅延信号を生成する遅延手段とを有することを特徴とするレベルコンバータ回路。

【請求項11】請求項10において、

前記スイッチ手段は、前記入力信号が前記共通電源に対応する電位から前記第1の電源に対応する電位に遷移する時に導通し、所定時間後に非導通となるように制御されることを特徴とするレベルコンバータ回路。

【請求項12】請求項11において、

前記スイッチ手段はpチャネルトランジスタであり、前

記遅延信号は前記他方のクロスカップル接続点の信号の反転信号であることを特徴とするレベルコンバータ回路。

【請求項13】請求項11において、前記スイッチ手段はpチャネルトランジスタであり、前記遅延信号は前記一方のクロスカップル接続点の信号の非反転信号であることを特徴とするレベルコンバータ回路。

【請求項14】請求項12又は13において、前記pチャネルトランジスタのドレインが、前記一方のクロスカップル接続点に接続されていることを特徴とするレベルコンバータ回路。

【請求項15】請求項11において、前記スイッチ手段はnチャネルトランジスタであり、前記遅延信号は前記他方のクロスカップル接続点の信号の非反転信号であることを特徴とするレベルコンバータ回路。

【請求項16】請求項11において、前記スイッチ手段はnチャネルトランジスタであり、前記遅延信号は前記一方のクロスカップル接続点の信号の反転信号であることを特徴とするレベルコンバータ回路。

【請求項17】請求項15又は16において、前記nチャネルトランジスタのソースが、前記一方のクロスカップル接続点に接続されていることを特徴とするレベルコンバータ回路。

【請求項18】請求項2、3又は11において、前記共通電源の電位は、前記第1及び第2の電源の電位より低く、前記第1導電型トランジスタはpチャネルトランジスタであり、前記第2導電型トランジスタはnチャネルトランジスタであることを特徴とするレベルコンバータ回路。

【請求項19】請求項2、3又は11において、前記共通電源の電位は、前記第1及び第2の電源の電位より高く、前記第1導電型トランジスタはnチャネルトランジスタであり、前記第2導電型トランジスタはpチャネルトランジスタであることを特徴とするレベルコンバータ回路。

【請求項20】第1の電源と共通電源とに接続され、前記第1の電源と共通電源間の電位差に対応する第1の振幅の入力信号から反転信号を生成するインバータと、ソースが前記第1の電源と異なる電位の第2の電源に接続され、ゲートとドレインがクロスカップル接続された1対の第1導電型トランジスタと、それぞれのドレインが一方又は他方のクロスカップル接続点に接続され、それぞれのソースが前記共通電源に接続され、それぞれのゲートに前記入力信号または前記反転信号が入力される1対の第2導電型トランジスタと、

前記インバータの出力端子と前記他方のクロスカップル接続点間に設けられた第1のスイッチ手段とを有し、前記入力信号を前記第2の電源と共通電源間の電位差に対応する第2の振幅の出力信号に変換するレベルコンバータ回路におけるレベルコンバート方法において、前記第1のスイッチ手段を、前記第2の振幅の第1の制御信号によって、前記反転信号が前記共通電源に対応する電位から前記第1の電源に対応する電位に遷移する時に導通させ、所定時間後に非導通となるように制御することを特徴とするレベルコンバート方法。

【請求項21】請求項20において、更に、前記インバータの入力端子と前記一方のクロスカップル接続点間に設けられた第2のスイッチ手段を有し、前記第2のスイッチ手段を、前記第2の振幅の第2の制御信号によって、前記入力信号が前記共通電源に対応する電位から前記第1の電源に対応する電位に遷移する時に導通させ、所定時間後に非導通となるように制御することを特徴とするレベルコンバート方法。

【請求項22】第1の電源と共通電源とに接続され、前記第1の電源と共通電源間の電位差に対応する第1の振幅の入力信号から反転信号を生成するインバータと、ソースが前記第1の電源と異なる電位の第2の電源に接続され、ゲートとドレインがクロスカップル接続された1対の第1導電型トランジスタと、それぞれのドレインが一方又は他方のクロスカップル接続点に接続され、それぞれのソースが前記共通電源に接続され、それぞれのゲートに前記入力信号または前記反転信号が入力される1対の第2導電型トランジスタと、前記インバータの入力端子と前記一方のクロスカップル接続点間に設けられたスイッチ手段とを有し、前記入力信号を前記第2の電源と共通電源間の電位差に対応する第2の振幅の出力信号に変換するレベルコンバート回路におけるレベルコンバート方法において、前記スイッチ手段を、前記第2の振幅の制御信号によって、前記入力信号が前記共通電源に対応する電位から前記第1の電源に対応する電位に遷移する時に導通させ、所定時間後に非導通となるように制御することを特徴とするレベルコンバート方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧の異なる2つ以上の電源を用いる半導体集積回路内において、低電圧の第1の電源を用いる回路から入力される低振幅信号を高振幅信号に変換し、高電圧の第2の電源を用いる回路に出力するレベルコンバータ回路に関する。

【0002】

【従来の技術】図1は、従来のレベルコンバータ回路(1)の回路図である。このレベルコンバータ回路

(1)は、入力端子INに第1の電源VDD1(例えば

3. 3V) を用いる回路から低振幅信号が入力されると、その低振幅信号を高振幅信号に変換し、変換した高振幅信号を出力端子OUTから第2の電源VDD2 (例えば5.0V) を用いる回路に出力する。

【0003】図2は、図1に示した従来のレベルコンバータ回路(1)におけるノード1からノード4の電圧波形図である。入力端子INに振幅が第1の電源VDD1のレベルの信号が入力され、インバータ20を構成するpMOSトランジスタP3とnMOSトランジスタN3のゲート(ノード1)に印加される。インバータ20は、ノード1の信号を反転して振幅が第1の電源VDD1のレベルの反転信号をノード2へ出力する。

【0004】ノード1とノード2の信号は、それぞれnMOSトランジスタN1、nMOSトランジスタN2のゲートに加えられる。一方、pMOSトランジスタP1とpMOSトランジスタP2は、それぞれのゲートが互いに相手側のドレインに接続され、それぞれのドレインがnMOSトランジスタN1とnMOSトランジスタN2のドレインに接続されている。

【0005】図2に示すように、初期状態でノード1がHレベル、ノード2がLレベルとすると、nMOSトランジスタN1が導通状態となり、nMOSトランジスタN2が非導通状態となる。nMOSトランジスタN1が導通状態のためノード4がLレベルとなっており、ノード4がLレベルのためpMOSトランジスタP2が導通状態となっている。そして、pMOSトランジスタP2が導通状態のためノード3に接続された出力端子OUTはHレベルとなっている。なお、出力端子OUTのHレベルの電位は第2の電源VDD2のレベルである。

【0006】今、入力端子INに信号が入力され、ノード1の電位がHレベルからLレベルに変化すると、ノード1の電位がインバータ20の閾値電位を通過する時間t1で、ノード2がLレベルからHレベルに切り替わり、nMOSトランジスタN1が非導通となり、nMOSトランジスタN2が導通となる。

【0007】ノード3の電位は、ノード2の電位がnMOSトランジスタN2の閾値電位を通過する時間t2から下降を開始するが、この場合、nMOSトランジスタN2は、まだ導通しているpMOSトランジスタP2に抗してノード3の電位を引き下げる。ノード3の電位が下がり、時間t3でpMOSトランジスタP1の閾値電位を通過すると、pMOSトランジスタP1が導通してノード4の電位を第2の電源VDD2まで引き上げる。この時すでにnMOSトランジスタN1は非導通となっているので、ノード4の電位は急速に立ち上がる。ノード4の電位が上がり、時間t4でpMOSトランジスタP2の閾値電位を通過すると、pMOSトランジスタP2が非導通となり、ノード3はグランド電位GNDに下がる。この場合、t1からt3までの時間が、レベルコンバータ回路(1)の遅延時間tpdである。

【0008】次に、ノード1がLレベルからHレベルに変化すると、ノード1の電位がインバータ20の閾値電位を通過する時間t5でノード2がHレベルから低下を始め、時間t6を過ぎてLレベルに切り替わり、nMOSトランジスタN1が導通となりnMOSトランジスタN2が非導通となる。nMOSトランジスタN1はまだ導通しているpMOSトランジスタP1に抗してノード4の電位を引き下げる。ノード4の電位が下がり、時間t7でpMOSトランジスタP2の閾値電位を通過すると、pMOSトランジスタP2が導通してノード3の電位を第2の電源VDD2のレベルまで引き上げる。この時すでにnMOSトランジスタN2は非導通となっているので、ノード3の電位は急速に立ち上がる。ノード3の電位が上がり、時間t8でpMOSトランジスタP1の閾値電位を通過すると、pMOSトランジスタP1が非導通となり、ノード4はグランド電位GNDに下がる。以上のとおり、振幅が第1の電源VDD1の入力信号(ノード1)は、振幅が第2の電源VDD2の出力信号(ノード3)に変換される。

【0009】レベルコンバータ回路(1)のpMOSトランジスタP2は、立ち上がりの際に出力端子OUTに接続される負荷容量を駆動するために大きな駆動力が必要であり、ゲート幅を大きく設計する必要がある。また、nMOSトランジスタN2も出力端子OUTの引き下げを行うために、pMOSトランジスタP2と同様にゲート幅を大きくして大きな駆動力を持たせる必要がある。ところが、出力端子OUTの引き下げは、nMOSトランジスタN2により、導通状態のpMOSトランジスタP2に抗して行われるため、遅延時間tpdが大きくなり、かつ、トランジスタP2、N2に大きな貫通電流が流れるという問題がある。一方、ノード4側は負荷容量を駆動しないので、pMOSトランジスタP1のゲート幅は小さくてもよく、比較的速く引き下げられる。

【0010】このように、レベルコンバータ回路(1)で出力端子OUT(ノード3)の電位の引き下げが遅いのは、pMOSトランジスタP2が導通状態のままでノード3の電位を引き下げるためである。pMOSトランジスタP2を速く非導通にさせるには、ノード4の電位を速く引き上げればよいが、ノード4の電位を引き上げるpMOSトランジスタP1は、ノード3の電位が引き下げられた結果やっとな導通する動作であるため、pMOSトランジスタP1の動作を先行させることはできない。

【0011】図3は、レベルコンバータ回路(1)の問題点を改良した従来のレベルコンバータ回路(2)の回路図である。また、図4は、レベルコンバータ回路(2)のノード1~4、ノード10の電圧波形図である。レベルコンバータ回路(2)は、レベルコンバータ回路(1)のノード2とノード4の間にnMOSトランジスタN4が接続され、nMOSトランジスタN4を駆

10

20

30

40

50

動するインバータD10が追加される。

【0012】インバータD10は第1の電源VDD1に接続されており、ノード2の信号を反転してnMOSTランジスタN4のゲートに出力する。pMOSTランジスタP1、P2、P3、nMOSTランジスタN1、N2、N3はレベルコンバータ回路(1)の場合と同様である。

【0013】以下に述べるとおり、レベルコンバータ回路(2)ではノード2の電位が立ち上がると、ノード3の電位の変化を待たずnMOSTランジスタN4によりノード4の電位が、第1の電源VDD1からnMOSTランジスタN4の閾値電圧VTHN分下がったレベル(VDD1-VTHN)まで引き上げられ、pMOSTランジスタP2が非導通になる動作を速める。

【0014】図4に示すように、初期状態でノード1がHレベル、ノード2がLレベルとすると、nMOSTランジスタN1が導通状態で、nMOSTランジスタN2が非導通状態である。ノード2がLレベルのためノード10はHレベルで、nMOSTランジスタN4は導通状態である。このため、ノード4はLレベル、ノード3はHレベルで電位は第2の電源VDD2のレベルである。

【0015】今、入力端子INに信号が入力され、ノード1の電位がHレベルからLレベルに変化すると、ノード1の電位がインバータ20の閾値電位を通過する時間t11で、ノード2の電位がLレベルからHレベルに切り替わり、nMOSTランジスタN1が非導通となり、nMOSTランジスタN2が導通となる。nMOSTランジスタN2は、まだ導通しているpMOSTランジスタP2に抗してノード3の電位を引き下げ始める。この時点では、ノード10はインバータD10の遅延によりまだHレベルであり、nMOSTランジスタN4が導通しているため、ノード2の立ち上がりによりノード4も(VDD1-VTHN)までは引き上げられる。

【0016】ノード3の電位は、ノード2の電位がnMOSTランジスタN2の閾値電位を通過する時間t12で下降を始めるが、ノード4の電位が時間t13でpMOSTランジスタP2の閾値電位を通過すると、pMOSTランジスタP2が非導通となり、ノード3は速やかにグランド電位GNDに下がる。ノード3がLレベルになり、時間t14でpMOSTランジスタP1の閾値電位を通過すると、pMOSTランジスタP1が導通しノード4を第2の電源VDD2まで引き上げる。この時までには、ノード10はLレベルに切り替わっているため、nMOSTランジスタN4は非導通となっている。この場合、t11からt14までの時間が、レベルコンバータ回路(2)の遅延時間tpdである。

【0017】このように、レベルコンバータ回路(2)では、ノード3の変化を待たずnMOSTランジスタN4によりノード4が速やかに引き上げられるため、pMOSTランジスタP2が非導通となる動作が速まり、遅

延時間tpdが短縮され貫通電流も削減される。図4では、比較のためにレベルコンバータ回路(1)波形を破線で示している(以下同様)。

【0018】次に、ノード1がLレベルからHレベルに変化すると、ノード1の電位がインバータ20の閾値電位を通過する時間t15で、ノード2がHレベルからLレベルに切り替わり、nMOSTランジスタN1が導通となり、nMOSTランジスタN2が非導通となる。nMOSTランジスタN1は、まだ導通しているpMOSTランジスタP1に抗してノード4を引き下げる。ノード4の電位が下がり、時間t17でpMOSTランジスタP2の閾値電位を通過すると、pMOSTランジスタP2が導通してノード3を第2の電源VDD2まで引き上げる。この時すでにnMOSTランジスタN2は非導通となっているので、ノード3の電位は急速に立ち上がる。また、ノード10は、ノード2の変化に遅れて時間t16でHレベルに切り替わり、nMOSTランジスタN4が導通すると、ノード2がすでにLレベルなので、ノード4の引き下げに寄与し多少遅移を速める。ノード3の電位が上がるとpMOSTランジスタP1が非導通となり、ノード4はグランド電位GNDに下がる。

【0019】

【発明が解決しようとする課題】レベルコンバータ回路(1)では、前述のとおり、出力端子OUTの立ち下りの遅延時間tpdが大きく、立ち下りの過渡時に大きな貫通電流が流れるという問題点がある。

【0020】一方、レベルコンバータ回路(2)は、例えば、第1の電源VDD1が3.3V、第2の電源VDD2が5.0Vであるような従来の応用分野では有効であるが、近年の低消費電力指向の集積回路のように、電源電圧が1V近辺である場合効果が少ないという問題がある。これはnMOSTランジスタN4がソースフォロワ回路としてノード4に接続されているため、nMOSTランジスタN4が、ノード4の電位を低い側の第1の電源VDD1より閾値VTHN分低いレベル(VDD1-VTHN)までしか引き上げないためである。

【0021】例えば、電源電圧が低い集積回路で、第1の電源VDD1が1V、第2の電源VDD2が1.5Vで、nMOSTランジスタの閾値電圧VTHNが0.5V、pMOSTランジスタの閾値電圧VTHPが-0.5Vの場合を考える。このときnMOSTランジスタN4はノード4を高々(VDD1-VTHN)=0.5Vまでしか引き上げず、pMOSTランジスタP2が非導通となる(VDD2-VTHP)=1Vには達することができない。従って、レベルコンバータ回路(2)の遅延時間tpdは、pMOSTランジスタP1によりノード4が引き上げられるのを待つレベルコンバータ回路(1)の場合より多少短縮される程度にとどまる。

【0022】このように、レベルコンバータ回路(2)も(VDD1-VTHN)が第2の電源VDD2よりは

るかに低い場合には、出力端子OUT（ノード3）の立ち下りの遅延時間 t_{pd} が大きく、立ち下りの過渡時に大きな貫通電流が流れるという問題がある。

【0023】そこで本発明は、電源電圧が低い集積回路においても、出力端子OUTの立ち下りの遅延時間 t_{pd} を短縮し、立ち下りの過渡時に大きな貫通電流が流れるのを防止するレベルコンバータ回路を提供することを目的とする。

【0024】

【課題を解決するための手段】上記の目的は、第1の電源と、前記第1の電源と異なる電位の第2の電源と、共通電源とを有し、前記第1の電源と共通電源間の電位差に対応する第1の振幅の入力信号を、前記第2の電源と共通電源間の電位差に対応する第2の振幅の出力信号に変換するレベルコンバータ回路において、前記第1の電源と前記共通電源とに接続され、前記入力信号から前記第1の振幅の反転信号を生成するインバータと、ソースが前記第2の電源に接続され、ゲートとドレインがクロス

カップル接続された1対の第1導電型トランジスタと、それぞれのドレインが一方又は他方のクロス

カップル接続点に接続され、それぞれのソースが前記共通電源に接続され、それぞれのゲートに前記入力信号または前記反転信号が入力される1対の第2導電型トランジスタと、前記第2の電源と前記共通電源とに接続され、前記一方又は他方のクロス

カップル接続点に接続された第1導電型トランジスタが非導通となる動作が速まり、出力信号の立ち下り時の遅延時間を短縮することができる。

【0027】また上記の目的は、更に、上記の説明において、前記第2の電源と前記共通電源とに接続され、前記他方又は一方のクロスカップル接続点の信号を遅延させ、前記第2の振幅の第2の遅延信号を生成する第2の遅延手段と、前記第2の遅延信号により制御され、前記インバータの入力端子と前記一方のクロスカップル接続点間に設けられた第2のスイッチ手段とを有し、前記第2のスイッチ手段は、前記入力信号が前記共通電源に対応する電位から前記第1の電源に対応する電位に遷移する時に導通し、所定時間後に非導通となるように制御されることを特徴とするレベルコンバータ回路を提供することにより達成される。

【0028】本発明によれば、他方のクロスカップル接続点の電位の立ち上げを速める手段に加え、第2の遅延手段及び第2のスイッチ手段により、一方のクロスカップル接続点の電位の立ち上げを速めることができる。このため、出力信号の立ち下り及び立ち上がり時の遅延時間が短縮され、立ち下り及び立ち上りの過渡時に大きな貫通電流が流れるのを防止することができる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について図面に従って説明する。しかしながら、かかる実施の形態が本発明の技術的範囲を限定するものではない。

【0030】まず、本発明のレベルコンバータ回路の原理について説明する。図5は、本発明のレベルコンバータ回路の原理図であり、図6はその電圧波形である。図5に示すようにpMOSトランジスタP1、P2、P3、nMOSトランジスタN1、N2、N3の接続は図1及び図3の場合と同様である。本発明のレベルコンバータ回路は、ノード2とノード4（他方のクロスカップル接続点）の間にスイッチ手段S1が接続され、その導通/非導通は遅延回路D1の出力ノード5で制御される。

【0031】遅延回路D1は入力ノード3（一方のクロスカップル接続点）に接続されていて、ノード3の信号を所定の時間遅延させた信号をノード5に出力する。遅延回路D1の電源は第2の電源VDD2であり、従って出力振幅も第2の電源VDD2のレベルである。本発明のレベルコンバータ回路は、以下に説明するように、出力端子OUTの立ち下り時の遅延時間を短縮し、立ち下りの過渡時に大きな貫通電流が流れるのを防止することができる。

【0032】次に、本発明のレベルコンバータ回路の動作について説明する。図6に示すように、初期状態でノード1がHレベル、ノード2がLレベルとすると、nMOSトランジスタN1が導通状態、nMOSトランジスタN2が非導通状態となる。従って、ノード4はLレベ

ル、ノード3はHレベルで電位は第2の電源VDD2のレベルである。また、ノード5はスイッチS1を導通させている状態とする。

【0033】今、入力端子INに信号が入力され、ノード1の電位がHレベルからLレベルに変化すると、ノード1の電位がインバータ20の閾値電位を通過する時間t21で、ノード2がLレベルからHレベルに切り替わり、nMOSTランジスタN1が非導通となり、nMOSTランジスタN2が導通となる。

【0034】nMOSTランジスタN2は、ノード2の電位がnMOSTランジスタN2の閾値電位を通過する時間t22から、まだ導通しているpMOSTランジスタP2に抗してノード3の電位を引き下げ始める。この時点では、スイッチS1が導通しているため、ノード2の電位の立ち上がりによりノード4の電位も引き上げられる。ノード4の電位が上がり、時間t23でpMOSTランジスタP2の閾値電位を越えると、pMOSTランジスタP2が非導通となり、ノード3は速やかにグラウンド電位GNDに下がる。ノード3の電位が、時間t24でpMOSTランジスタP1の閾値電位より下がる

と、pMOSTランジスタP1が導通しノード4の電位を第2の電源VDD2のレベルまで引き上げる。スイッチS1は、遅延回路D1によりノード3の立ち下がりより遅れ、ノード5の電位がスイッチS1の閾値電位を通過する時間t25で非導通に切り替わる。この場合、t21からt24までの時間が、本発明のレベルコンバータ回路の遅延時間tpdである。

【0035】このように、本発明のレベルコンバータ回路は、ノード3の電位の変化を待たず、スイッチS1によりノード4の電位が速やかに引き上げられるため、pMOSTランジスタP2が非導通に切り替わる動作が速まり、遅延時間tpdが短縮され貫通電流も削減される。また、遷移終了後スイッチS1は非導通となるのでスイッチS1を通して第2の電源VDD2から第1の電源VDD1へ電流が流れることは無い。

【0036】図7は、本発明の実施の形態のレベルコンバータ回路(1)の回路図であり、図8はその電圧波形である。図7に示すようにpMOSTランジスタP1、P2、P3、nMOSTランジスタN1、N2、N3の構成と作用は従来の場合と同様である。ただし、図5に示したスイッチS1に相当するpMOSTランジスタP4がノード2、ノード4間に接続され、そのゲートは図5の遅延回路D1に相当するインバータD1の出力ノード5に接続されている。インバータD1は、ノード3の信号を所定の遅延時間ののち位相を反転してノード5に出力する。インバータD1は、第2の電源VDD2を電源としているのでその振幅は第2の電源VDD2のレベルである。

【0037】図8に示すように、初期状態でノード1がHレベル、ノード2がLレベルとすると、nMOSTラ

ンジスタN1が導通状態であり、nMOSTランジスタN2が非導通状態である。従って、ノード4はLレベル、ノード3はHレベルで電位は第2の電源VDD2のレベルである。また、ノード5はLレベルでpMOSTランジスタP4は導通状態である。

【0038】今、入力端子INに信号が入力され、ノード1の電位がHレベルからLレベルに変化すると、ノード1の電位がインバータ20の閾値電位を通過する時間t31で、ノード2の電位がLレベルからHレベルに切り替わり、nMOSTランジスタN1が非導通となり、nMOSTランジスタN2が導通となる。

【0039】nMOSTランジスタN2は、ノード2の電位がnMOSTランジスタN2の閾値電位を通過する時間t32から、まだ導通しているpMOSTランジスタP2に抗してノード3の電位を引き下げ始める。この時点では、ノード5の電位はインバータD1の遅延によりまだLレベルでpMOSTランジスタP4が導通しているため、ノード2の電位の立ち上がりによりノード4の電位も第1の電源VDD1のレベルまで引き上げられる。

【0040】この場合、図3の従来のレベルコンバータ回路(2)と異なり、pMOSTランジスタP4は、ドレインがノード4に接続されているため、ノード4の電位をノード2のHレベルである第1の電源VDD1のレベルまで引き上げることが出来る。ノード4の電位が上がり、時間t33でpMOSTランジスタP2の閾値電位を越えると、pMOSTランジスタP2が非導通となり、ノード3の電位は速やかにグラウンド電位GNDに下がる。ノード3の電位が、時間t34でpMOSTランジスタP1の閾値電位より下がる

と、pMOSTランジスタP1が導通し、ノード4の電位を第2の電源VDD2のレベルまで引き上げる。インバータD1の遅延により、ノード3の電位の立ち下がりより遅れてノード5の電位が立ち上がり、時間t35でpMOSTランジスタP4の閾値電位を越えると、pMOSTランジスタP4が非導通となる。この場合、t31からt34までの時間が、本実施の形態のレベルコンバータ回路(1)の遅延時間tpdである。

【0041】このように、本発明の実施の形態のレベルコンバータ回路(1)では、ノード3の電位の変化を待たず、pMOSTランジスタP4によりノード4の電位が速やかに引き上げられるため、pMOSTランジスタP2の非導通となる動作が速まり、遅延時間tpdが短縮され貫通電流も削減される。また、遷移終了後pMOSTランジスタP4は非導通となるので、pMOSTランジスタP4を通して第2の電源VDD2から第1の電源VDD1へ電流が流れることは無い。

【0042】本実施の形態のレベルコンバータ回路(1)は、近年の低消費電力指向の集積回路のように電源電圧が1V近辺である場合にも効果が損なわれない。

例えば、図3の場合と同様に第1の電源VDD1が1V、第2の電源VDD2が1.5Vで、nMOSTランジスタの閾値電圧VTHNが0.5V、pMOSTランジスタの閾値電圧VTHPが-0.5Vの場合を考える。図3の従来のレベルコンバータ回路(2)では、nMOSTランジスタN4がソースフォロウ回路としてノード4に接続されるため、nMOSTランジスタN4はノード4の電位を高々 $(VDD1 - VTHN) = 0.5V$ までしか引き上げられない。一方、図7の本発明の実施の形態のレベルコンバータ回路(1)では、pMOSTランジスタP4は、ドレインがノード4に接続されているため、ノード4を第1の電源VDD1=1Vまで引き上げ、pMOSTランジスタP2が非導通となる電位である $(VDD2 - VTHP) = 1V$ に達することが出来る。従って、電源VDD1、VDD2が低電圧化しても、出力端子OUT1の立ち下げを速める動作が可能となる。

【0043】次に、ノード1がLレベルからHレベルに変化する場合、ノード3が時間 t_{38} でHレベルに切り替わり、ノード5が時間 t_{39} でLレベルに切り替わるまでpMOSTランジスタP4は導通しないので、pMOSTランジスタP4は遷移にほとんど寄与せず動作は図1の従来の場合と同様である。図1の説明で述べたとおり、元々、ノード4の電位の立ち下がり(ノード3の電位の立ち上がり)時の遅延は小さいので問題はない。

【0044】図9は、本発明の実施の形態のレベルコンバータ回路(2)の回路図である。レベルコンバータ回路(2)は、ノード4から2段のインバータD2、D1を経てノード5の遅延信号を得るようにしたものである。ノード3とノード4は相補信号なので、図9のノード5には、図7のノード5の信号と同様の信号が得られる。

【0045】図10は、本発明の実施の形態のレベルコンバータ回路(3)の回路図である。図7のレベルコンバータ回路(1)において、ノード2とノード4の間に設けたpMOSTランジスタP4を、ノード1とノード3の間に設けることで、ノード3の立ち上がりを速めることができる。即ち、ノード1をスイッチ手段のpMOSTランジスタP4のソースに接続し、更にpMOSTランジスタP4のドレインをノード3に接続し、遅延回路であるインバータD1の入力端子をノード4に接続することで、入力信号の立ち上がり時の遅延時間を短縮する回路が構成できる。その場合、pMOSTランジスタP4は、入力信号の立ち上がり遷移時に導通状態を維持するため、ノード3の電位の立ち上げを速めることができる。

【0046】なお、インバータD1の入力端子をノード4に接続せず、点線に示すようにインバータD19を介してノード3に接続してもよい。また、pMOSTラン

ジスタP4をnMOSTランジスタに変更することも、後述する図12の如く遅延信号の極性を変更すれば可能である。

【0047】図11は、本発明の実施の形態のレベルコンバータ回路(4)の回路図である。レベルコンバータ回路(4)は、図7のレベルコンバータ回路(1)と同様にノード4の電位の立ち上げを速める手段(pMOSTランジスタP4(第1のスイッチ手段)、インバータD1)と、更に、上に述べたノード3側の電位の立ち上げを速める手段(pMOSTランジスタP5(第2のスイッチ手段)、インバータD3)の両方を搭載した例である。

【0048】レベルコンバータ回路(4)において、pMOSTランジスタP1、P2、P3、P4、nMOSTランジスタN1、N2、N3、インバータD1は、図7の場合と同様である。レベルコンバータ回路(4)では、pMOSTランジスタP5がノード1とノード3の間に接続され、インバータD3がノード4とノード7の間に接続される。また、反転信号出力端子(/OUT)がノード4に接続される。レベルコンバータ回路(4)では、上述のように、インバータD1とpMOSTランジスタP4によりノード4の電位の立ち上げを速め、インバータD3とpMOSTランジスタP5によりノード3側の電位の立ち上げを速めることができる。

【0049】なお、点線に示すように、インバータD1の入力端子をノード3に接続せずインバータD21を介してノード4に接続し、インバータD3の入力端子をノード4に接続せずインバータD20を介してノード3に接続しても、図9で説明した通り同様の効果が得られる。

【0050】図12は、本発明の実施の形態のレベルコンバータ回路(5)の回路図であり、図13はその電圧波形図である。レベルコンバータ回路(5)は、図7におけるpMOSTランジスタP4をnMOSTランジスタN4に換え、そのゲートに入るノード7の信号を、ノード3から2段のインバータD4、D5を経た遅延信号としたものである。nMOSTランジスタN4の導通/非導通は、図7の場合のpMOSTランジスタP4と同様である。なお、インバータD4を削除し、点線に示すようにインバータD5の入力端子をノード4に接続しても同様の効果が得られる。

【0051】図13に示すように、nMOSTランジスタN4がノード4の電位を引き上げる際、図4の従来のレベルコンバータ回路(2)の場合と異なり、nMOSTランジスタN4は、ノード4の電位をノード7のHレベルである第2の電源VDD2からnMOSTランジスタN4の閾値電圧VTHN分下がったレベル $(VDD2 - VTHN)$ 、又はノード2のHレベルの第1の電源VDD1のうち低い方の電位までは引き上げることが出来る。これは、図12のnMOSTランジスタN4のゲー

トは、第2の電源VDD2で駆動されるインバータ5の出力に接続されており、第2の電源VDD2の電位が印加されるためである。

【0052】このレベルコンバータ回路(5)は、(VDD2-VTHN)が、第1の電源VDD1と略同等か、第1の電源VDD1より大きい場合に効果がある。例えば、図3の場合と同様に、第1の電源VDD1が1V、第2の電源VDD2が1.5Vで、nMOSトランジスタの閾値電圧VTHNが0.5V、pMOSトランジスタの閾値電圧VTHPが-0.5Vの場合を考える。このときnMOSトランジスタN4の導通時のドレイン(ノード2)の電位は第1の電源VDD1=1Vとなり、ゲートの電位は第2の電源VDD2=1.5Vとなるので、(VDD2-VTHN)=VDD1=1Vとなる。従って、nMOSトランジスタN4は、ノード4を1V近辺まで引き上げることができ、十分にpMOSトランジスタP2を非導通にしてノード3の立ち下げを高速化することができる。

【0053】以上の説明の図5から図13においては、GNDが共通で、低電圧の第1の電源VDD1と高電圧の第2の電源VDD2とがある場合の例を示したが、基準の電源VDDが共通で、それより低い方の電源として、高電圧の第1の電源VSS1と低電圧の第2の電源VSS2とがある場合(VDD>VSS1>VSS2)にも、インバータ以外のpMOSトランジスタ及びnMOSトランジスタの種別を反転すれば、同様な回路が構成できる。

【0054】図14は、上記の趣旨により図7の回路を置き換えた本発明の実施の形態のレベルコンバータ回路(6)の回路図である。レベルコンバータ回路(6)は、第1の電源VSS1と共通電源VDDとに接続されるインバータ20と、ソースが第2の電源VSS2に接続されてゲートとドレインがクロスカップル接続されたnMOSトランジスタN5、N6と、ソースが共通電源VDDに接続されたpMOSトランジスタP6、P7とを有し、更に、第2の電源VSS2と共通電源VDDとに接続されるインバータD1と、インバータD1により制御されるnMOSトランジスタN7とを有する。なお、インバータD1の入力端子はノード3に接続せず、点線に示すようにインバータ22を介してノード4に接

続してもよい。

【0055】レベルコンバータ回路(6)のnMOSトランジスタN7は、インバータ20の出力信号のノード2の立ち下がり遷移時に導通するので、ノード4を立ち下げてnMOSトランジスタN6が非導通となる時間を短縮し、出力端子OUTの立ち上がりを高速化にすることができる。

【0056】図9から図12に示したレベルコンバータ回路も同様にして、基準となる共通電源VDDと異なる2つの電源VSS1、VSS2のアーキテクチャに適

用することができる。さらに、図14のスイッチ手段であるnMOSトランジスタN7は、遅延信号の極性を変更すれば、pMOSトランジスタで構成することも可能である。

【0057】

【発明の効果】以上説明した通り、本発明によれば、電源電圧が低い集積回路においても、出力端子OUTの立ち下がり遅延時間tpdを短縮し、立ち下がり過渡時に大きな貫通電流が流れるのを防止するレベルコンバータ回路を提供することができる。

【図面の簡単な説明】

【図1】従来のレベルコンバータ回路(1)の回路図である。

【図2】従来のレベルコンバータ回路(1)の波形図である。

【図3】従来のレベルコンバータ回路(2)の回路図である。

【図4】従来のレベルコンバータ回路(2)の波形図である。

【図5】本発明のレベルコンバータ回路の原理説明図である。

【図6】本発明のレベルコンバータ回路の原理を説明する波形図である。

【図7】本発明の実施の形態のレベルコンバータ回路(1)の回路図である。

【図8】本発明の実施の形態のレベルコンバータ回路(1)の波形図である。

【図9】本発明の実施の形態のレベルコンバータ回路(2)の回路図である。

【図10】本発明の実施の形態のレベルコンバータ回路(3)の回路図である。

【図11】本発明の実施の形態のレベルコンバータ回路(4)の回路図である。

【図12】本発明の実施の形態のレベルコンバータ回路(5)の回路図である。

【図13】本発明の実施の形態のレベルコンバータ回路(5)の波形図である。

【図14】本発明の実施の形態のレベルコンバータ回路(6)の回路図である。

【符号の説明】

VDD1 低電圧の電源

VDD2 高電圧の電源

GND 接地

N1、N2、N3、N4 nMOSトランジスタ

P1、P2、P3、P4、P5 pMOSトランジスタ

D1 遅延手段またはインバータ

D2、D3、D10 インバータ

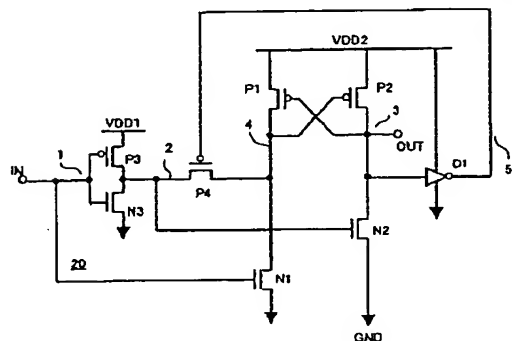
S1 スイッチ手段

1、2、3、4、5、6、7、10 ノード

IN 入力端子

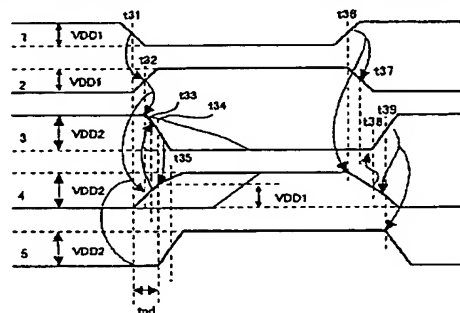
【图7】

本発明の実施の形態のレベルコンバーター回路(1)の回路図



【図8】

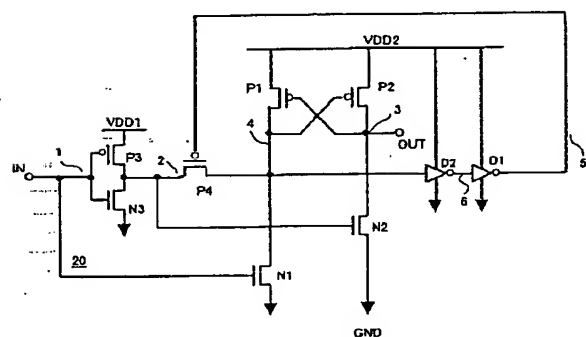
本発明の実施の形態のレベルコンバーター回路(1)の波形図



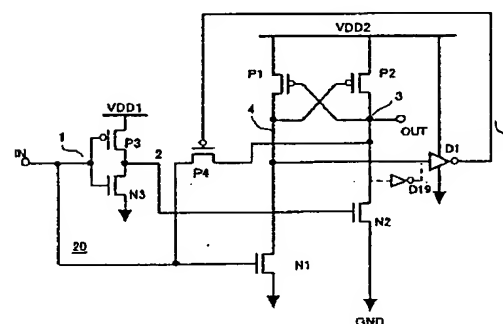
【図10】

【図9】

本発明の実施の形態のレベルコンバーター回路(2)の回路図

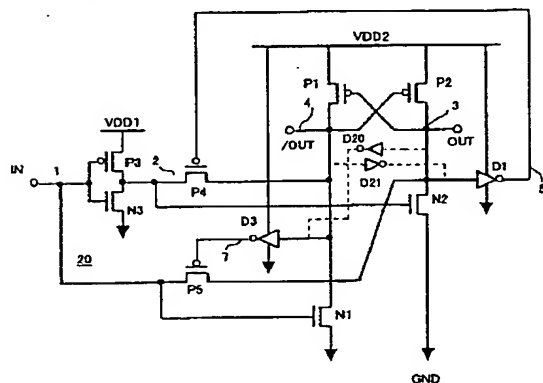


本発明の実施の形態のレベルコンバータ回路(3)の回路図



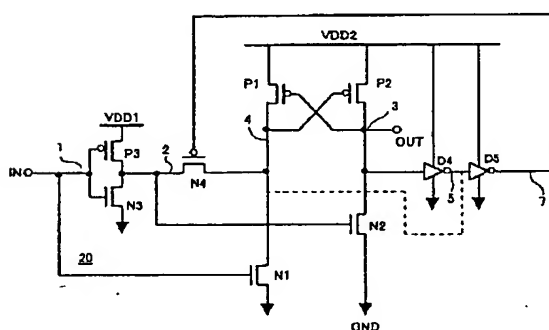
【図 11】

本発明の実施の形態のレベルコンバーター回路(4)の回路図



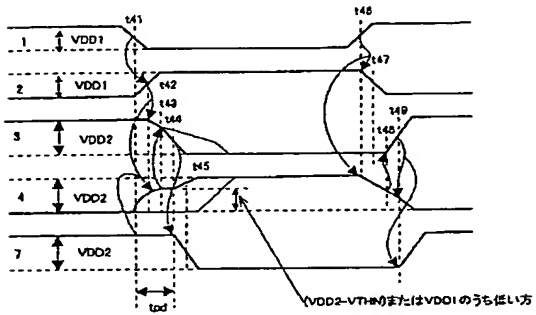
【図 12】

本発明の実施の形態のレベルコンバータ回路(5)の回路図



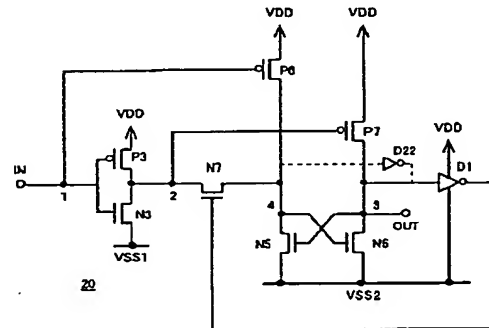
【図13】

本発明の実施の形態のレベルコンバーター回路(5)の波形図



【図14】

本発明の実施の形態のレベルコンバーター回路(6)の回路図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.